

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-007762

(43)Date of publication of application : 13.01.1992

(51)Int.Cl.

G06F 12/00

G06F 12/02

(21)Application number : 02-111543

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 26.04.1990

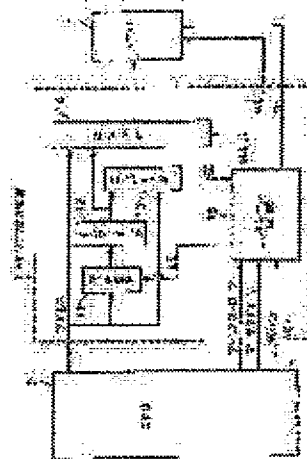
(72)Inventor : MARUYAMA NOBUTAKA
MITSUTAKE KATSUYA

(54) MEMORY ACCESS METHOD

(57)Abstract:

PURPOSE: To enable a CPU to have an access to a memory at a high speed by estimating the address value for the next access request and transmitting the estimated address value to the memory before the next access request is received from a requester.

CONSTITUTION: A memory access device 1 has an access to a memory 3 in response to an access request given from a CPU 2 and then reads and writes the data. Then the address value is estimated for the next access request based on the address value obtained at the precedent access. This estimated address value is sent to the memory 3 before the next access request is received from a requester, i.e., the CPU 2. Then the actual address value set when the next access request is received from the CPU 2 is compared with the estimated address value. When the coincidence is obtained between both address values, the data are read and written out of and into the memory 3 based on the estimated address value that is already sent to the memory 3. Thus the access time of the CPU 2 to the memory 3 is shortened.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-7762

⑬ Int.Cl.⁵

G 06 F 12/00
12/02

識別記号

5 6 2
5 5 0

庁内整理番号

8841-5B
8841-5B

⑭ 公開 平成4年(1992)1月13日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 メモリアクセス方法

⑯ 特 願 平2-111543

⑰ 出 願 平2(1990)4月26日

⑱ 発 明 者 丸 山 修 孝 神奈川県川崎市高津区坂戸100番1号 KSPR&Dビ
ネスパークビル 富士ゼロックス株式会社内

⑲ 発 明 者 光 武 克 也 神奈川県川崎市高津区坂戸100番1号 KSPR&Dビ
ネスパークビル 富士ゼロックス株式会社内

⑳ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

㉑ 代 理 人 弁理士 木村 高久

明 細 書

1. 発明の名称

メモリアクセス方法

2. 特許請求の範囲

要求元からのアクセス要求に応じて読み書きすべきデータを所定のワード単位でメモリに読み書きするメモリアクセス方法において、

既にアクセスした際のアドレス値に基づいて次のアクセス要求時のアドレス値を予測し、該予測したアドレス値を要求元からの次のアクセス要求前にメモリに送出し、さらに要求元からの実際のアクセス要求時のアドレス値と前記予測したアドレス値とを比較し、一致した場合は、既にメモリに送出されている予測したアドレス値に基づいてメモリにデータを読み書きするようにした

ことを特徴とするメモリアクセス方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は読み書きすべきデータを所定のワード単位でメモリに読み書きするメモリアクセス方法に関する。

〔従来の技術〕

従来、CPUからのアクセス要求に応じてメモリをアクセスするメモリアクセス装置では、CPUからのアクセス時に送出されたアドレスを入力し、この入力したアドレスをメモリに送出し、さらにCPUからのアドレスストローブ信号に基づいて、アドレスを指定しアクセスするようにしている。

第8図はスタティックRAM(以下、SRAMという)へのアクセスサイクルを示したタイミングチャートである。この従来のアクセス方法においては、第8図(b)に示すようなアドレスがSRAMに送出される場合は、同図(a)に示すようなCPUからのアドレスストローブ信号ASに基づいて、アクセスすべきアドレスが指定されることになる。この指定されたアドレスに基づいて

リード／ライトのアクセスを行うことができる。

また第9図はダイナミックRAM（以下、DRAMという）へのアクセスサイクルを示したタイミングチャートである。この従来のアクセス方法においては、第9図（b）に示すようなアドレスがDRAMに送出される場合は、同図（a）に示すようなCPUからのアドレスストローブ（AS）信号に基づいて、最初に同図（c）に示すような行アドレスストローブ（RAS）信号に基づいて行アドレスが指定され、次に同図（d）に示すような列アドレスストローブ（CAS）信号に基づいて列アドレスが指定される。この指定された行アドレス及び列アドレスに基づいてリード／ライトのアクセスを行うことができる。

〔発明が解決しようとする課題〕

ところで、上述した従来のメモリアクセス装置では、SRAMあるいはDRAMのメモリのアクセスに際しては、CPUから送出されたアクセスすべき確定されたアドレスを入力し、この入力したアドレスをメモリに送出しなければならず、C

PUからの次のアクセスすべきアドレスが確定しないうちは、メモリに対しアドレスを指定することができないことになる。このことがCPUのメモリに対するアクセスの高速化の障害となっている。

本発明は上記実情に鑑みてなされたものであり、高速なメモリアクセスを行うことができるメモリアクセス方法を提供することを目的とする。

〔課題を解決するための手段〕

上述した課題を解決するため、本発明に係るメモリアクセス方法では、既にアクセスした際のアドレス値に基づいて次のアクセス要求時のアドレス値を予測し、該予測したアドレス値を要求元からの次のアクセス要求前にメモリに送出し、さらに要求元からの実際のアクセス要求時のアドレス値と前記予測したアドレス値とを比較し、一致した場合は、既にメモリに送出されている予測したアドレス値に基づいてメモリにデータを読み書きするようにしている。

〔作用〕

本発明に係るメモリアクセス方法では、既にアクセスした際のアドレス値に基づいて次のアクセス要求時のアドレス値を予測し、その予測したアドレスを次のアクセス要求前にメモリに送出しておく。例えば、前回のアクセス時のアドレス値に1ワード分インクリメントしたアドレス値を予測したアドレス値として、次のアクセス要求前にメモリに送出しておく。そして要求元からの実際の次のアクセス要求時のアドレス値と前記予測したアドレス値とを比較し、一致した場合は、既にメモリに送出されている予測したアドレス値に基づいてメモリに読み書きするので、要求元のメモリへのアクセスタイムを短縮できる。

〔実施例〕

以下、本発明に係るメモリアクセス方法の実施例を添付図面を参照して説明する。

第2図及び第3図は本発明に係るメモリアクセス方法のメモリへのアドレスの送出動作を説明するためのタイミングチャートである。

第2図はスタティックランダムアクセスメモリ

（以下SRAMという）へのアドレスの送出タイミングを示している。同図（b）に示すように、1回目のアクセス時のアドレス①をSRAMへ送出し、次のアクセス時のアドレス（①+1）を、中央処理装置（以下、CPUという）からの2回目のアクセス要求前にSRAMへ送出する。また3回目のアクセス時のアドレス（①+2）も同様に送出する。

ここで、アドレス（①+1）はアドレス①を+1ワード分インクリメントした値であり、同様にアドレス（①+2）はアドレス（①+1）を+1ワード分インクリメントした値である。例えば、アドレス①が100番地であった場合、+1ワード分インクリメントされたアドレスは、8bit系のCPUでは101番地、16bit系のCPUでは102番地、32bit系のCPUでは104番地となる。

第3図はダイナミックランダムアクセスメモリ（以下、DRAMという）へのアドレスの送出タイミングを示している。同図（b）に示すように、

1 回目のアクセス時の行 (Row) アドレス及び列 (Column) アドレスを DRAM へ送出し、次のアクセス時の行 (Row) アドレスを、CPU からの 2 回目のアクセス要求前に DRAM に送出し、次に列 (Column) アドレスを DRAM に送出する。同様に 3 回目のアクセス時の行 (Row) アドレスも、CPU からのアクセス要求前に DRAM に送出する。これによって CPU からのアクセス要求前に行 (Row) アドレスを指定することができる。

上述したように、次のアクセス時のアドレスを予測し、該予測したアドレスを、CPU からのアクセス要求前に、メモリ (SRAM、DRAM) に送出することが可能なのは、一般的に CPU の送出するアドレスは、あるアドレスを送出すると次はその付近のアドレスをアクセスする傾向があるので、次のアドレスを予測できるからである。

例えば、命令のフェッチは多くの場合、1 ワードづつ増加したアドレスを連続して送出することが多いし、またスタックポインタを用いたデータ

のアクセスも 1 ワード増加したアドレス又は 1 ワード減少したアドレスを連続して送出することが多い。従って前回のアクセス時のあるアドレスに 1 ワード分インクリメントしたアドレスを、次のアクセス時前に、メモリに送出しておくことができる。

第 1 図は本発明に係るメモリアクセス方法を適用したメモリアクセス装置の一実施例を示すブロック図である。同図において、メモリアクセス装置 1 は、CPU 2 からのアクセス要求に応じて、メモリ 3 をアクセスしてデータのリード/ライトを行う。

メモリアクセス装置 1 は、CPU 2 からのアドレスをラッチするラッチ回路 11 と、ラッチ回路 11 から出力されたアドレスを +1 ワード分インクリメントするインクリメント 12 と、インクリメント 12 から出力されたアドレスと CPU 2 から出力されたアドレスとを比較するコンパレータ 13 と、インクリメント 12 から出力されたアドレス及び CPU 2 から出力されたアドレスを入力

される選択信号に応じて適宜選択してメモリ 3 に出力するセクタ 14 と、上記各部を制御するコントロール回路 15 とを有して構成されている。

第 4 図はメモリアクセス動作を示す状態遷移図であり、同図において、状態 1 ~ 3 の各状態、及びある状態から他の状態に遷移する際の条件は、遷移条件/動作 (= 出力信号) で示される。

ここで遷移条件において、AS は CPU から出力されるアドレスストローブ信号、EQ はコンパレータから出力されるアドレスが一致していることを示すイコール信号をそれぞれ示している。なお、AS、EQ の場合は、それぞれハイレベルを示しており、AS、EQ の上に - (バー) が付してある場合は、ローレベルを示している。

また動作において、出力信号 - [LE、SEL、ACK] の各信号においては、LE はラッチ回路 11 に入力されるラッチイネーブル信号、SEL はセクタ 14 に入力されるセレクト信号、ACK は CPU 2 に入力される応答信号をそれぞれ示している。さらに [LE、SEL、ACK] の各信号レベル

において "1" はハイレベル、"0" はローレベルを示している。

さらに同図において、Est Timer は Reset Timer、A はメモリアクセスタイムをそれぞれ示している。

次に上記メモリアクセス装置のメモリアクセス動作を第 5 図及び第 6 図を用いて説明する。

ここでは、

ネゲート・インアクティブ (ハイレベル)

アサート・アクティブ (ローレベル)

としている。

いま、メモリ 3 を SRAM とし、また CPU から、第 5 図 (a) に示すようなアドレス、同図 (e) に示すようなアドレスストローブ (以下、AS という) 信号、同図 (f) に示すようなデータストローブ (以下、DS という) 信号が出力されるものとする。

ここで、時点 t1 前において、CPU 2 から出力されたアドレス① (第 5 図 (a) 参照) がラッチ回路 11、コンパレータ 13、セクタ 14 に

それぞれ入力されていたとすると、ラッチ回路11からはアドレス①が出力され、インクリメントからはアドレス(①+1)が出力されるので、アドレス①とアドレス(①+1)とを比較したコンパレータ13からはネゲートの \overline{EQ} 信号が出力され、またネゲートのセレクト(以下、SELという)信号が入力されているセクタ14からはCPU2からのアドレス①が出力されている。なお、SEL信号が、ネゲートのときはCPU2からのアドレスが選択され、一方アサートのときはインクリメント12からのアドレスが選択される。

上述した状態で、コントロール回路15は、第3図(e)に示すように時点t2でネゲートからアサートされた \overline{AS} 信号に基づいて、ラッチイネーブル(以下、LEという)信号及びSEL信号をネゲートからアサートして出力する。

コントロール回路15からのLE信号を入力するラッチ回路11では、第5図(1)に示すように時点t3でアサートされたLE信号に基づいて、CPU2から出力されたアドレス②をラッチした

後、第5図(b)に示すようにこのアドレス②をインクリメント12に出力する。インクリメント12では、入力されたアドレス②を+1ワード分インクリメントした後、第5図(c)に示すようにアドレス(①+1)に代わって、インクリメントしたアドレス(②+1)を、コンパレータ13及びセクタ14に出力する。このときコンパレータ13からは、CPU2からのアドレス②とインクリメント12からのアドレス(②+1)との比較結果に応じたイコール(以下、EQという)信号が出力されることになるが、この場合はアドレスが一致しないので第3図(h)に示すようにネゲートの \overline{EQ} 信号が出力された状態のままである。

一方、セクタ14では、第5図(j)に示すように時点t8でアサートされたSEL信号に基づいて、今まで選択していたインクリメント12側のアドレス(アドレス(①+1))に変わって、第3図(d)に示すようにCPU2側のアドレス(アドレス②)を選択してメモリ3に送出する。

また時点t4からメモリアクセスタイムを経過した時点t5からは、第5図(m)に示すようにメモリリードサイクルでは、アウトプットイネーブル(OE)信号に基づいて、データバス上にデータが生じる。このOE信号は、第5図(k)に示すWRITE信号を反転した信号である。コントロール回路15は、CPU2に対しメモリリードした旨を知らせるために第5図(g)に示すようにネゲートのアクノーレッジ(以下、ACKという)信号をアサートにする。この時点t5でアサートされたACK信号に回答したCPU2は、CPUサイクル[I]を終了する。

ところで、CPUサイクル[I]の時点t5では、例えば、CPU2がアドレス②をアクセスしていると(第5図(a)参照)、インクリメント12からは、アドレス(②+1)が出力されている(第5図(c)参照)。また時点t5以降、アサートからネゲートに変化した \overline{AS} 信号を入力するコントロール回路15は、時点t6でネゲートされた \overline{AS} 信号に基づいて、SEL信号及びLE

信号をネゲートにする。

セクタ14では、時点t8でネゲートされたSEL信号に基づいて、今まで選択していたCPU2から出力されたアドレス値(アドレス②)に代わって、インクリメント12から出力されたアドレス(アドレス(②+1))を選択して、メモリ3に出力する(第5図(d)参照)。

以上説明したようにCPUサイクルIでは、上記第4図に示した状態遷移において、状態1→遷移(1-1)→状態2→状態3という具合に状態が遷移する。

次にCPUサイクルIIの開始時CPU2から出力されたアドレス(②+1)は、ラッチ回路11、コンパレータ13、セクタ14にそれぞれ入力され、またアサートされた \overline{AS} 信号はコントロール回路15に入力される。

このとき、コンパレータ13からは、インクリメント12からのアドレス値(②+1)と、CPU2からのアドレス値(②+1)との比較結果として、アサートされたEQ信号が出力される(第

5図(h)参照)。

するとコントロール回路15は、時点t10でアサートされた $\overline{E}Q$ 信号に基づいて、 \overline{LE} 信号及び \overline{SEL} 信をアサートする。これによって、ラッチ回路11では、時点t11でサートされた \overline{LE} 信号にもどつて、CPU2からのアドレス(②+1)をラッチした後インクリメンタ12に出力する(第5図(b)参照)。インクリメンタ12は、入力したアドレス(②+1)を+1ワード分インクリメントし、該インクリメントしたアドレス(②+2)をコンパレータ13に出力する(第5図(c)参照)。

一方セレクト14では、時点t10でアサートされた \overline{SEL} 信号に基づいて、インクリメンタ12側のアドレス値(アドレス(②+2))に代わって、CPU2側のアドレス値(アドレス(②+1))に切替えて出力する。なお、このときはインクリメンタ12からの出力及びCPU2からの出力は共にアドレス(②+1)なので出力値は変わらない(第5図(d)参照)。

していない場合は、上述した時点t1以降のタイミングで読出し動作が行われる。

以上説明したように、例えば、実際にCPU2がアドレス(アドレス(②+2))を出力する時点t14より前の時点t13で、インクリメンタ12がCPU2から出力されるべきアドレス(アドレス(②+2))をメモリ3に出力しているので、第3図に示すように、時間T(=t14-t13)だけCPU2のサイクルタイムが短縮される。

上述した実施例ではメモリ3からのデータの読出し動作について説明したが、メモリ3へのデータの書き込みについても、上記データの読出し動作と同様な動作が行われる。このメモリ3へのデータの書き込み動作のタイミングを第6図に示している。なお、第6図に示したタイミングチャートにおける時点t1～時点t14での動作は、第5図に示したタイミングチャートにおける時点t1～時点t14での動作と同様である。この場合、第6図(m)に示すようにメモリライトサイクルでは、第6図(l)に示すようにライトイネーブル

なお、時点t8からメモリアクセスタイムを経過した時点t12からは、メモリリードサイクルでは、データバス上にデータが生じる。と同時にコントロール回路15は、CPU2に対しメモリリードした旨を知らせるために第5図(g)に示すようにネゲートの \overline{ACK} 信号をアサートにする。

この時点t12でアサートされた \overline{ACK} 信号に応答したCPU2は、CPUサイクル[II]を終了する。また時点t12で \overline{ACK} 信号がアサートされた後は、上記時点6、時点t8での動作と同様の動作が、時点t13、時点t14においても行われる。

以上説明したようにCPUサイクルIIでは、上記第4図に示した状態遷移図においては、状態1→遷移(1-2)→状態2→状態3という具合に状態が遷移する。

次に、CPU2が次のCPUサイクルIIIを開始するに際し、アクセスすべきアドレスが前回のアドレスと連続している場合は、上述した時点t9以降のタイミングで読出し動作が行われ、一方、アクセスすべきアドレスが前回のアドレスと連続

(WE)信号に基づいてデータの書き込みが行われることになる。このWE信号は、第5図(k)に示すWRITE信号と同図(i)に示すDS信号との論理和をとった信号である。

以上説明したように本実施例によれば、CPUからの前回アクセスした時のアドレスを+1ワード分インクリメントし、このインクリメントしたアドレスを、CPUからの次のアクセス前にメモリに送出しておくことにより、 \overline{OE} 信号/ \overline{WE} 信号に基づいて、メモリにアクセスすることができるので、CPUからメモリへのアクセスタイムを大幅に短縮することが可能となる。

なお上記実施例では、スタティックRAMへのアクセスについて説明したが、ダイナミックRAMへのアクセスについても同様な動作を行うことにより実現することができる。この場合、データの読み書きは、行アドレスストローブ信号、列アドレスストローブ信号に基づいて行われることになる。

また上述した命令フェッチとデータアクセスは

一般的には交互に行われる。例えば、スタックから連続してデータを読み出すことを考えたとき、命令フェッチとスタックからの読出しは交互に発生し、上位アドレスが命令領域とデータ領域が連うときは、毎回アドレスが異なってしまう。これを防止するために、本実施例の応用例として、第7図に示すように、プログラム領域用とデータ領域用の上述したメモリアクセス装置を設け、それぞれ独立に動作させるようにしても良い。

第7図において、71はプログラム領域用メモリアクセス装置、72はプログラム格納用メモリ、73はデータ領域用メモリアクセス装置、74はデータ格納用メモリである。なお、メモリアクセス装置71及び73は、上記第1図に示したメモリアクセス装置1の構成と同様である。この場合、CPU2は、プログラム領域用へのアクセスの場合は、メモリアクセス装置71のコントロール回路15をアクティブの状態にする信号S1をコントロール回路15に送出し、一方データ領域用へのアクセスの場合は、メモリアクセス装置73の

コントロール回路15をアクティブの状態にする信号S2をコントロール回路15に送出する。またCPU2には、メモリアクセス装置71あるいは73からのACK(応答)信号がOR回路75を経て入力される。なお、一方のメモリアクセス装置がアクティブのときは、他方のメモリアクセス装置は自己の状態を保持している。

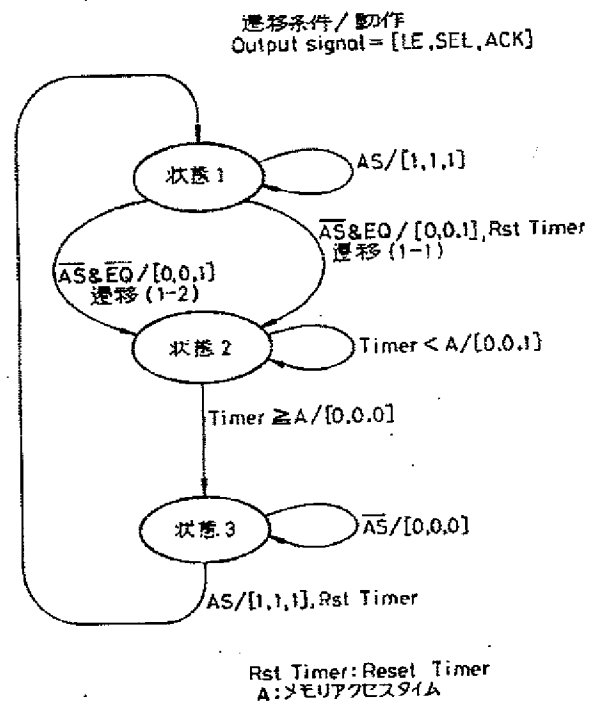
〔発明の効果〕

以上説明したように本発明によれば、次のアクセス要求時のアドレス値を予測し、該予測したアドレス値を、要求元からの次のアクセス要求前にメモリに送出し、予測したアドレス値と実際のアクセス時のアドレス値とが一致した場合は、既にメモリに送出されているアドレス値に基づいてメモリに読み書きすべきデータを読み書きするようにしたため、要求元(例えば中央処理装置)のメモリへのアクセスタイムを大幅に短縮できる利点がある。

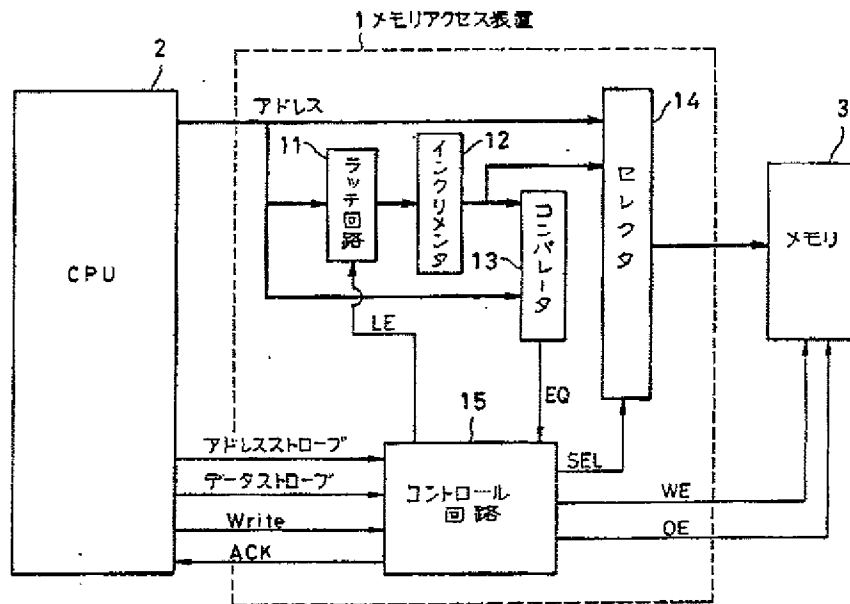
4. 図面の簡単な説明

第1図は本発明に係るメモリアクセス方法を採用したメモリアクセス装置の一実施例を示すブロック図、第2図及び第3図は本発明に係るメモリアクセス方法のメモリへのアドレスデータの送出動作を示すタイミングチャート、第4図は本発明に係るメモリアクセス動作を説明するための遷移状態図、第5図はメモリからのデータの読出し動作を示すタイミングチャート、第6図はメモリへのデータの書き込み動作を示すタイミングチャート、第7図は本実施例の応用例の構成を示す構成図、第8図及び第9図は従来のメモリアクセス装置のメモリへのアドレスデータの送出動作を示すタイミングチャートである。

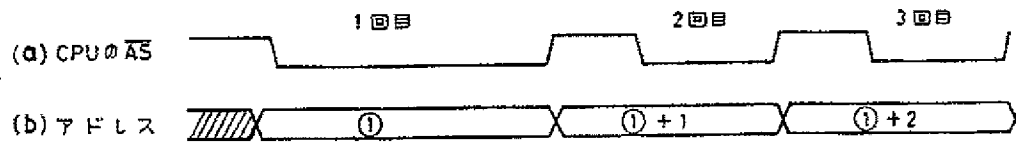
1…メモリアクセス装置、2…中央処理装置(CPU)、3…メモリ、11…ラッチ回路、12…インクリメント、13…コンパレータ、14…セレクト、15…コントロール回路。



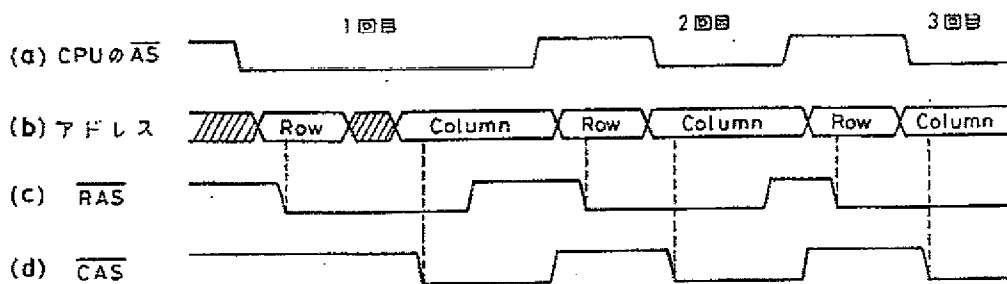
第4図



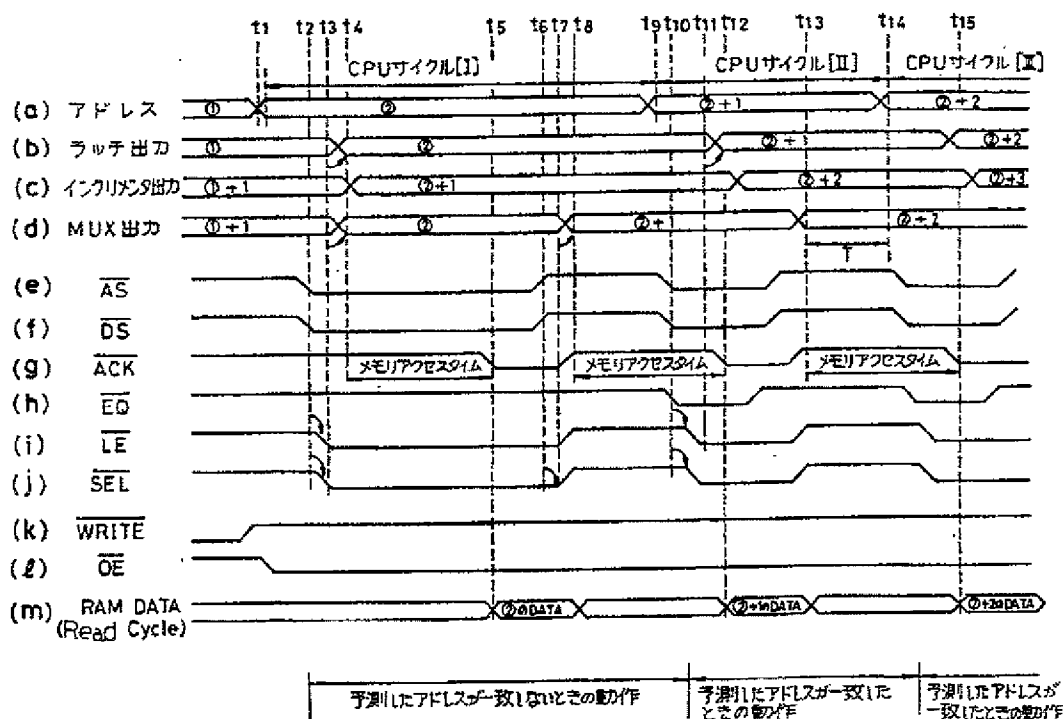
第1図



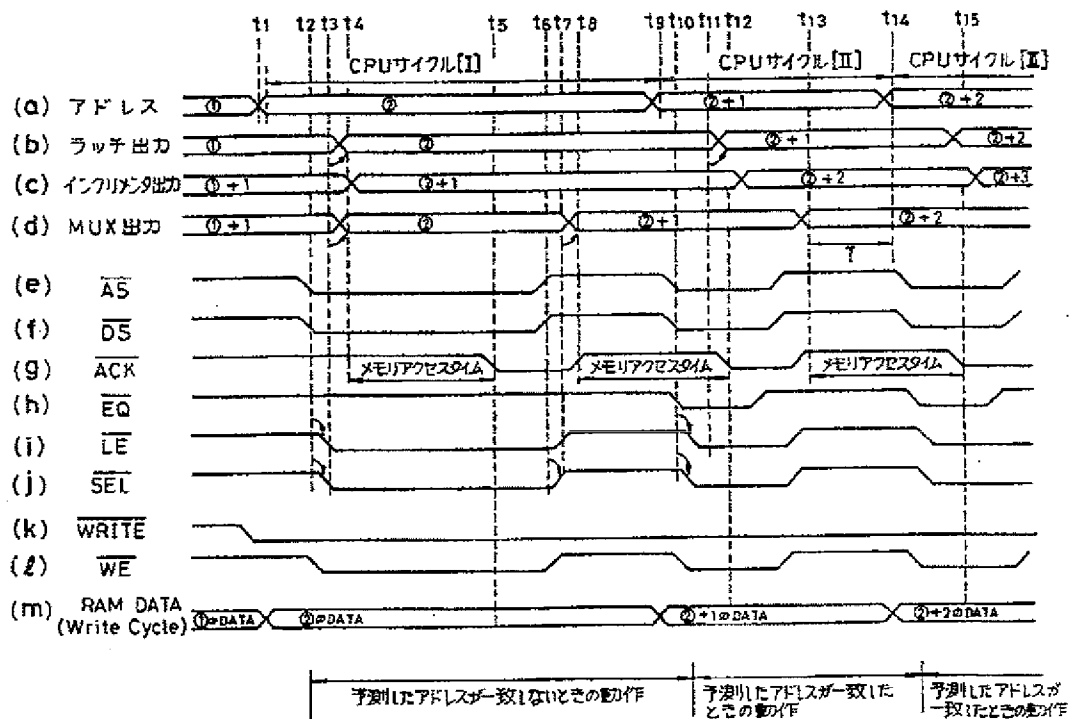
第2図



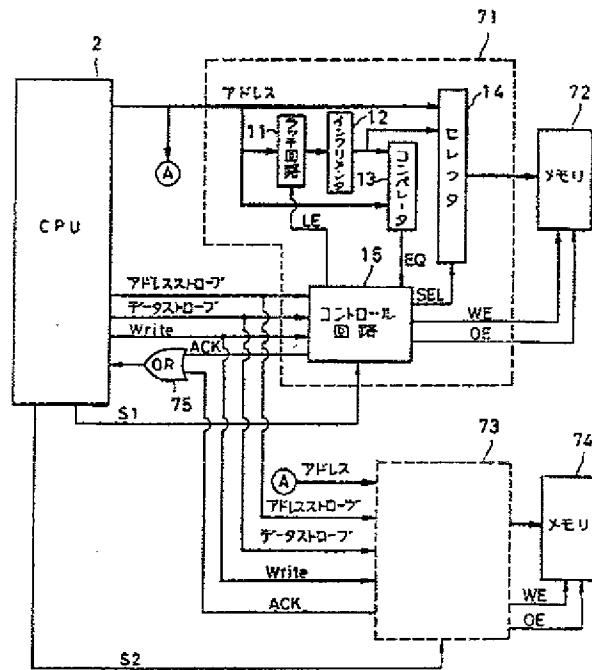
第3図



第5図



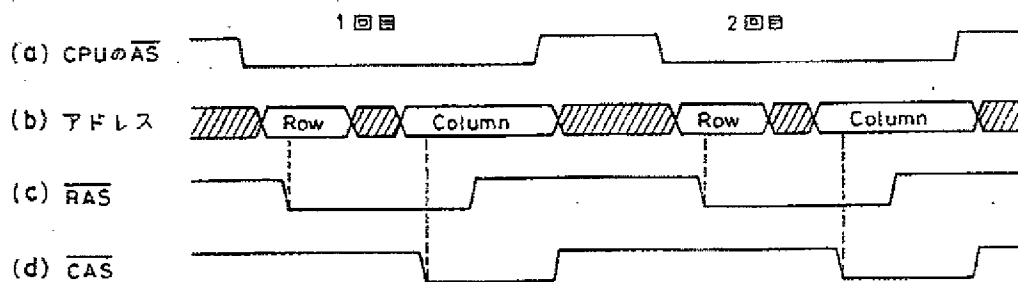
第6図



第7図



第8図



第9図